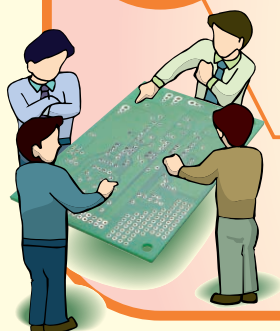
第4章

256ピン，1156ピンBGAからの
配線引き出しを4層，8層基板で設計する

BGAパッケージからの配線引き出しを体験する

城野幸男

BGA（ball grid array）周りの配線の実例を紹介します．実際にプリント基板設計ツールを使って，端子ピッチ1.0mmの256ピンBGAと1156ピンBGAの端子から配線を引き出します．使用するプリント基板設計ツールはオーストラリアAltium社のAltium Designer 6です．（筆者）

ここではプリント基板設計ツールの自動機能（自動引き出し配線機能）を使って配線を行います．自動機能を使うと労力を省くことができますが，マニュアルでの設計のように最適化された配線結果を得ることは困難です．このため，ここでは配線品質の向上よりもむしろ省力化の手段として自動機能を活用します．

(a) 線幅と線間のクリアランスが0.15mmの場合

(b) 線幅と線間のクリアランスが0.1mmの場合

図1　線幅と線間クリアランス

本誌に付属しているDVD-ROMには，Altium Designer 6のトライアル版が含まれているので，ここで紹介する配線作業を試すことができます．

1. 設計構想を固める

配線作業を始める前にまず，適用するデザイン・ルールを決めます．そして次に引き出しに必要な層数を見積もります．さらにその後，実際に使用するBGAパッケージの端子配列を前提にして，全端子からの配線の引き出しが可能かどうかを確認します．

● 適用するデザイン・ルールを決める

今回は，比較的製造が容易な以下のようなデザイン・ルールを適用することにします．

- 線幅と線間クリアランスの標準値を0.15mmとし，最小値を0.1mmとする（図1）．
- ビア・サイズは0.5mmで，穴径は0.3mmとする（図2）．

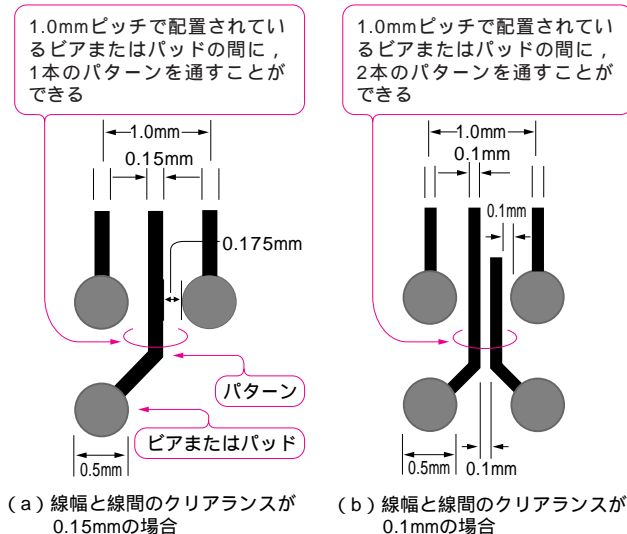
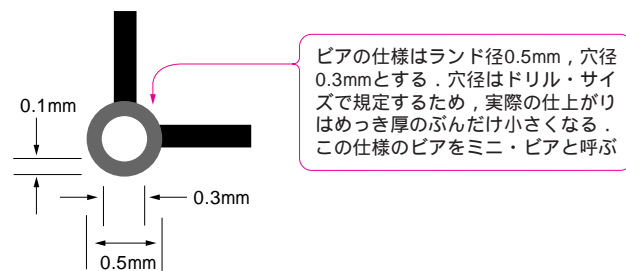
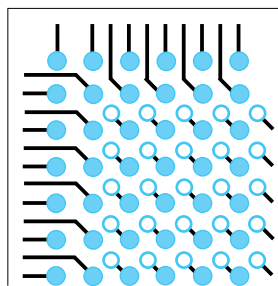
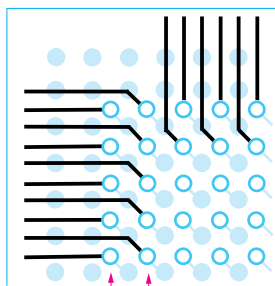
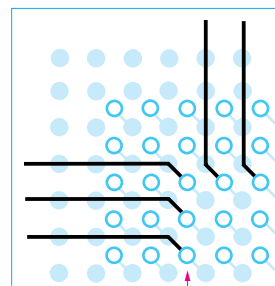



図2　ビアの仕様

KeyWord　Altium Designer 6，貫通ビア，パッド，ビア，VIA，内層クリアランス，ラッツネスト，ピン・スワップ，自動配線，伝送線路シミュレーション，1156ピンのBGA，256ピンのBGA，Spartan-II E，Spartan-3

図3
引き出し可能な配線の本数

線幅と線間クリアランスを0.15mmのルールで配線する場合の引き出し経路の例と，引き出し可能な本数を示す．表面層（Top LayerとBottom Layer）において，それぞれ2列の引き出しが可能．内層からは1列しか引き出せない．線幅と線間クリアランスを0.1mmのルールで配線する場合には，層あたり1列多く引き出せる．つまり表面層で3列，内層で2列の引き出しが可能になる．

（a）部品面（Top Layer）

（b）はんだ面（Bottom Layer）

（c）内装（Inner Layer）

- 貫通ビアだけを使用．ブラインド・ビアやベリード・ビアは用いない．
- パッド・オン・ビアを用いない．
- ビルドアップ基板ではなく，一般的な多層基板を用いる．

線幅とクリアランスの最小値「0.1mm」は，平均的な多層基板メーカでも製造が可能なルールです．しかしこの値は，歩留まりを上げるのが難しい水準なので，スペースに余裕がある個所には0.15mmのルールを適応します．

● 引き出しに必要な配線層数を見積もる

線幅とクリアランスを0.1mmで設計すると，パッド間またはビアの間に最大2本の線を通すことができます．この部分に何本の配線を通すかにより，一つの層で引き出せる端子の列数が決まってしまいます．例えばこの部分に1本通せば1列または2列の引き出しができます（**図3**）．また，2本通せば2列または3列引き出せます．

電源とグラウンド端子は配線を外側に引き出さず，ビアによって直接，電源/グラウンド層に接続します．BGAでは通常，電源/グラウンド端子がパッケージの中央付近に集中的に置かれているので，中央付近の端子からは配線を外側に引き出す必要はありません．このような条件を考慮すると256ピンのBGAで2層の配線層，1156ピンの場合でも6層の配線層があれば，すべてのI/O端子からの引き出しができるはずです．もちろんこれ以外に電源層とグラウンド層が必要になりますから，必要な基板の層数は256ピンで4層，1156ピンで8層ということになります．

図4　ラッツネストによる引き出しに必要な基板層数の確認

電源とグラウンドのラッツネストを非表示にして，ラッツネストの出方を見て引き出しに必要な層数を確認する．5列の引き出しが必要な部分もあるが，引き出しが不要な端子も多い．平均すると4列以下であるため，配線層が2層あれば十分配線が可能なことが分かる．

● 実際に使用する部品と回路を前提にして基板の層数が足りることを確認する

次に，実際に使用するBGAのピン配列と回路を前提にして，予測した通りの層数で配線の引き出しが可能かどうかを確認します．電源とグラウンド端子の配列が引き出しの難易度に影響します．またBGAに未使用の端子がある場合には，そのぶん余裕が生じます．この確認は机上で行うこともできますが，プリント基板設計ツールの画面上に表示されるラッツネストの状態を調べたり，配線を試行してみることによって，より確実に行うことができます（**図4**）．また，LSIメーカから提供されている引き出しの事例も大変役立ちます．今回はLSIメーカの資料とプリント基板設計ツールの画面によって予測どおりの層数で引き出しが可能なことを確認しました．

Spartan-II Eを用いたディスプレイ・コントローラ

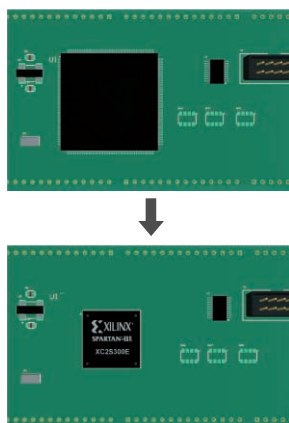
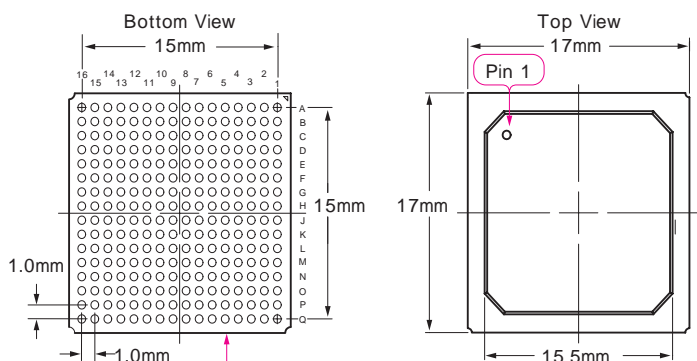
(a) Altium Designer 6に含まれているサンプル・デザイン

(b) オリジナル・デザインでは，0.5mmピッチの208ピンQFPが用いられている．これを256ピンのBGAに載せ替えて使用．

(c) パッケージのサイズ

図5 256ピンBGAパッケージの配線例に用いるサンプル回路とパッケージ

2. 256ピンのBGAパッケージによる配線の手順

では256ピンのBGAパッケージを持つ米国Xilinx社のFPGA「Spartan-II E」を例に，実際に配線を行ってみます．

● 使用する回路

Altium Designer 6に含まれている，LedMatrixDisolayというデザインを利用します(図5)．これはSpartan-II EファミリのXC2S300Eを用いたLEDディスプレイ・コントローラです．オリジナルでは，208ピンQFPが使われていますが，これを256ピンBGAに置き換えます．

なお，この回路を使って配線を試す場合には，C:\BGA escapeのフォルダを作成し，添付のDVD-ROM中のdataフォルダ(\articles\0706_a04\data)内のすべてのファイルをコピーしてください．

● 環境とデザイン・ルールの設定

デザイン全体を管理するプロジェクト・ファイルLedMatrixDisplay.PRJPCBを読み込みます．この中のLedMatrixDisplay_1.PCBDOCが，この事例で使用するPCBファイルです．まずこのPCBファイルを開いて，デザイン・ルールと環境の設定を行います(図6)．

- グリッドの単位系をメトリック(mm)に設定
- スナップ・グリッドとコンポーネント・グリッドを0.05mmに設定
- 線幅および線間クリアランスを以下のように設定

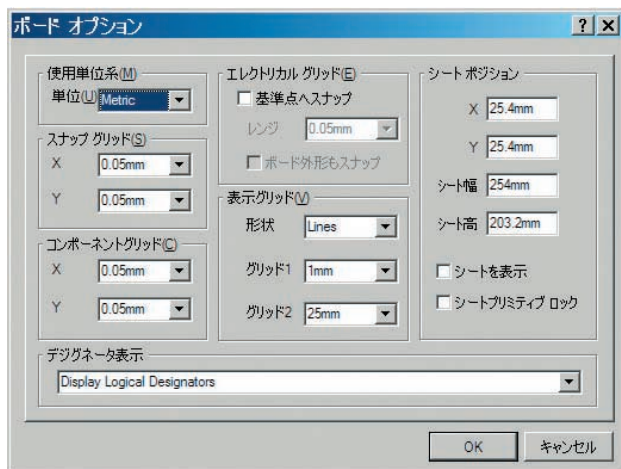
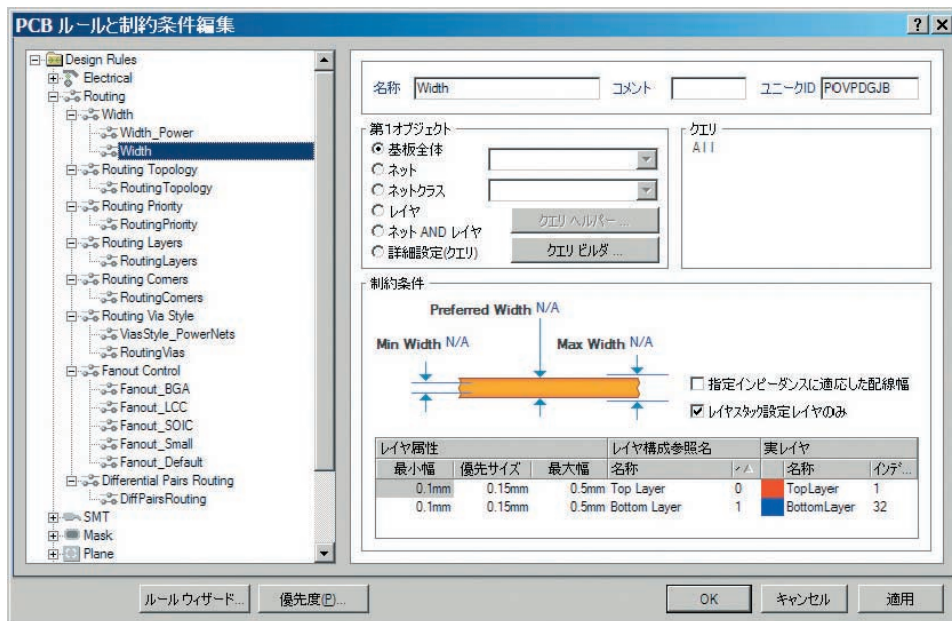
線幅を最小0.1mm，優先サイズ0.15mm，最大0.3mm
線間クリアランスを0.15mm

- べたパターンのクリアランスを0.2mmに設定
- 内層プレーン層の接続スタイルをサーマル・リリーフに設定し，形状を数値で規定
- 内層クリアランスを0.25mmに設定
- ビア・サイズを0.5mm，穴系を0.3mmに設定

そのほかの設定は，すべてオリジナルPCBファイルの設定のまま使用します．例えば層数は4層(配線2層＋内層べた2層)に設定されています．これは256ピンBGAパッ

ケージからの引き出しに必要な層数と一致しているので設定変更の必要はありません．なおDVD-ROMに収録しているサンプル・ファイルは既に，この段階までの作業が終わっています．

● ピン・スワップ

画面に表示されたPCBレイアウトの，中央付近にあるFPGAの端子から多くのラッツネストが発生しています［図7(a)］．しかしその中の数十個の端子からはラッツネストが出ていません．これは引き出しの必要がない空き端子と電源/グラウンド端子です．208ピンQFPを256ピンBGAに置き換えた結果，多くの空き端子が生じました．このことにより配線スペースに余裕が生まれます．一方ラッツネストの交差があり，周辺の部品との配線が煩雑になることが分かります．FPGAでは，I/O端子の配列を自由に変更できるので，周辺部品との配線が容易になるように端子配列を入れ替えます．この処理はピン・スワップと呼ばれており，プリント基板設計ツールによって自動的に行うこと

「デザイン」→「ボードオプション」(「Design」→「Board Option」)コマンドでグリッドを設定する．
スナップグリッドで配線グリッドを設定し，コンポーネントグリッドで部品の配置グリッドを設定する．
0.15mmの線幅/線間クリアランスで配線する場合，最適グリッドは0.25mmである．しかし，途中で，0.1mmの線幅/線間ルールに切り替えなくてはならないという場合を想定して，0.05mmのグリッドに設定する．
0.1mmの線幅/線間ルールでの最適グリッドは0.2mmだが，配線中にグリッドを切り替える場合には，0.25mmと0.2mmの最大公約数である，0.05mmに設定しなければならない．
同様の理由で，コンポーネントグリッドも0.05mmに設定する

(a) グリッドの設定

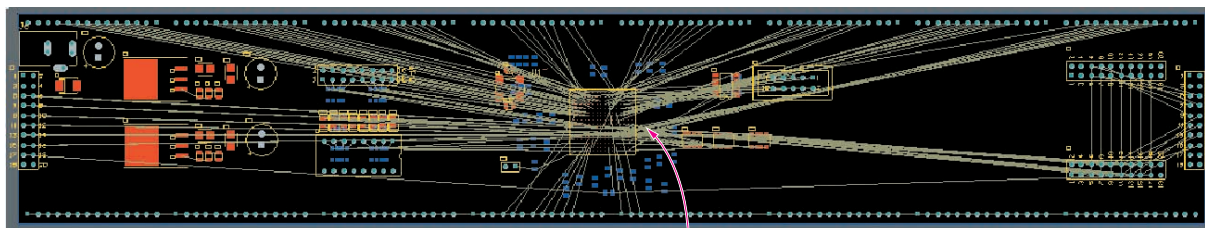
「デザイン」→「デザイン・ルール」(「Design」→「Rule」)コマンドでデザイン・ルールを設定する．「PCBルールと制約条件の編集」ダイアログ・ボックスの左にあるツリー表示から，設定項目を選ぶ．ここに示す線幅ルールの画面では，最小0.1mm 優先サイズ0.15mm 最大0.5mmの値に設定する

(b) デザイン・ルールの設定

図6　環境とデザイン・ルールの設定

ができます[図7(b)].

ピン・スワップを行う際にいくつかの設定(図8)が必要ですが，最も重要なのは入れ替え可能な範囲の設定です．今回の例では，I/O端子すべてに対して変更を許可します．サンプル・ファイルはこの設定が終わっていますので，図7(b)のように「自動ネット/ピンの最適化」コマンドを起動するだけで，ピン・スワップを自動的に行うことができます．

ピン・スワップの結果は図9の通りです．ラッツネストの交差が減り，長さも短くなっています．なおこの端子の

中央付近に配置されたCPUから，ほとんどの周辺部品にラッツネストが直接繋がっている．全体的にはラッツネストの交差は多くはないが，I/Oバンク内での局所的な交差が見られる．この交差は，ピン・スワッピングによって解消される

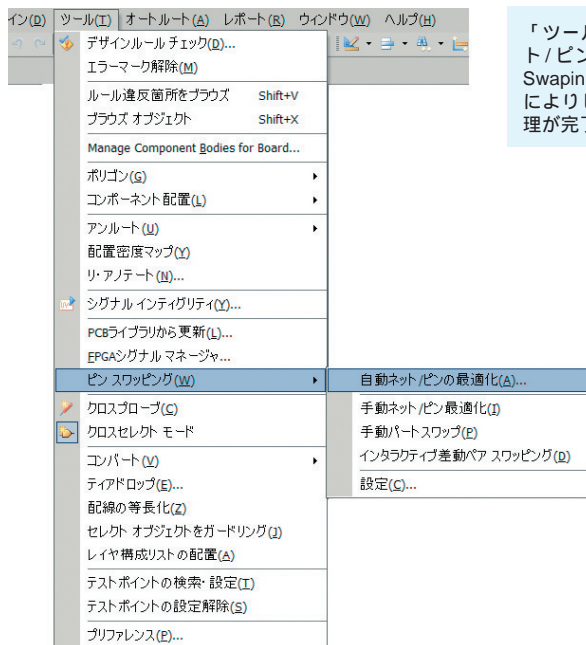
(a) 基板の全貌とピン・スワッピング前のラッツネストの状態

(b) ピン・スワッピング・コマンドの起動

図7 ピン・スワッピングの実行

Configure Pin Swapping For [U1 in LedMatrixDisplay.PRJPCB]

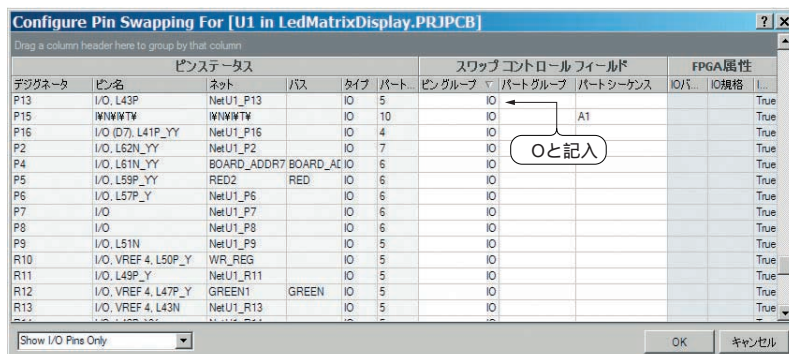
Drag a column header here to group by that column

ピンステータス						スワップ コントロール フィールド			FPGA属性		
デジグネータ	ピン名	ネット	バス	タイプ	パート...	ピングループ	パートグループ	パートシーケンス	IOバ...	IO規格	I...
P13	I/O, L43P	NetU1_P13		IO	5	IO					True
P15	I¥N¥I¥T¥	I¥N¥I¥T¥		IO	10	IO		A1			True
P16	I/O (D7), L41P_YY	NetU1_P16		IO	4	IO					True
P2	I/O, L62N_YY	NetU1_P2		IO	7	IO					True
P4	I/O, L61N_YY	BOARD_ADDR7	BOARD_AD	IO	6	IO					True
P5	I/O, L59P_YY	RED2	RED	IO	6	IO					True
P6	I/O, L57P_Y	NetU1_P6		IO	6	IO					True
P7	I/O	NetU1_P7		IO	6	IO					True
P8	I/O	NetU1_P8		IO	6	IO					True
P9	I/O, L51N	NetU1_P9		IO	5	IO					True
R10	I/O, VREF 4, L50P_Y	WR_REG		IO	5	IO					True
R11	I/O, L49P_Y	NetU1_R11		IO	5	IO					True
R12	I/O, VREF 4, L47P_Y	GREEN1	GREEN	IO	5	IO					True
R13	I/O, VREF 4, L43N	NetU1_R13		IO	5	IO					True

Oと記入

Show I/O Pins Only　OK　キャンセル

図8 ピン・スワップ条件の設定

「Configure Pin Swaping For ...」のダイアログ・ボックスにより，ピン・スワッピングを許可する範囲を設定する．すべてのI/O端子のスワップコントロールフィールドのピングループの部分に，「IO」と記入することで，すべてのI/O端子のピン・スワップが許可される．

入れ替え結果は，簡単な操作で回路図およびFPGAプロジェクトに反映させることができます．

端子数の多いBGAパッケージでは，パッケージの外周部まで配線を引き出すのに多くの工数がかかります．しかし，自動引き出し機能を使うと，ほとんど瞬間的にこの作業を済ませることができます（図10）．このコマンドはツールバーではなく，ポップアップ・メニューより起動します（ここまで完了したデータはLedMatrixDisplay_2.

（a）ピン・スワッピングの前

（b）ピン・スワッピングの後

図9
ピン・スワッピングの結果

BGAの上にマウスのカーソルを置き，右ボタンを押すとポップアップ・メニューが表示される．このメニューから「コンポーネントに対する操作」→「コンポーネント付随ネットをファンアウト」（「Component Actions」→「Fanout Component」）を選び，配線の引き出しを実行．ビアが自動的に生成され，引き出しが行われる．数秒で引き出しが完了し結果が表示される

（a）ファンアウト・コマンドの起動

はんだ面との接続のためのビアが生成されパッドと接続されている．ただしネット名が与えられていないNC端子に対してはビアは生成されていない．引き出しは外周部の2列のパッドから行われている

（b）部品面（Top Layer）の引き出し結果

自動的に生成されたビアから配線が引き出されている．引き出されていない部分はNC端子と電源端子

（c）はんだ面（Bottom Layer）の引き出し結果

図10
BGAからの配線の引き出し

PCBDOC）．

● バイパス・コンデンサの配置

高速で動作するデバイスでは，適切にバイパス・コンデンサを配置することが必要です．バイパス・コンデンサは，電源端子のできるだけ近くに配置することを要求されますが，端子密度の高いBGAパッケージでは，このスペースを見つけることが困難です．また，バイパス・コンデンサがほかの配線の邪魔にならないように考慮する必要もあります．このFPGAではグラウンド端子が中央にあり，その周りに電源端子があります．さらにパッケージの四隅にも数本のグラウンド端子があり，パッケージの真下だけでなく外周付近にもバイパス・コンデンサを配置できるように考慮されています．

バイパス・コンデンサの配置は自動的に行うことができないので，すべて手作業で行います．引き出し配線の結果やラッツネストの方向，電源/グラウンド端子の配置を確認しながら適切な位置を探します．必要に応じて，既に配置されているBGA周辺のパターンやビアを移動します．また，このFPGAではコア用の電源とI/Oバッファ用の電源が分かれているので，内層分割をしやすいように配置することが必要です．

バイパス・コンデンサの配置が終わった後，電源およびグラウンド・ビアとバイパス・コンデンサの端子間を，広い面積の配線パターンで結びます．ここでは通常の線（Track）ではなく面パターン（Polygon）を用いています．バイパス・コンデンサの配置と配線結果は図11の通りです（ここまで完了したデータはLedMatrixDisplay_4.

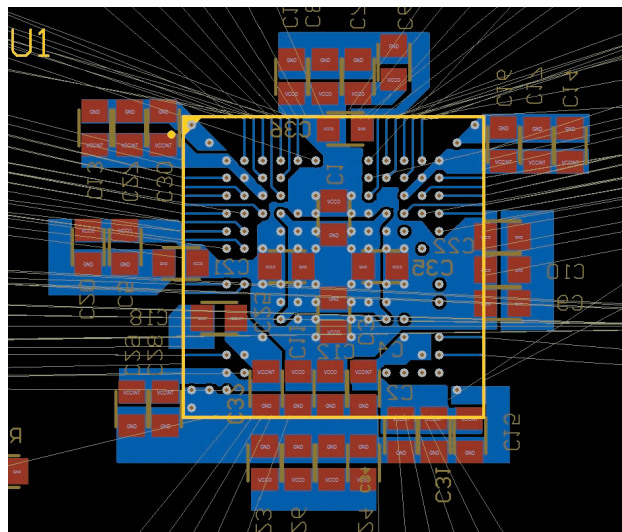



図11　バイパス・コンデンサの配置
電源端子のできるだけ近くにバイパス・コンデンサを配置する．I/O端子から引き出された配線をブロックしないように注意する．既に端子から引き出されている配線が邪魔になる場合には経路を修正する．配置されたコンデンサのパッドとBGAの電源端子とを面パターン（Poligon）で接続する．

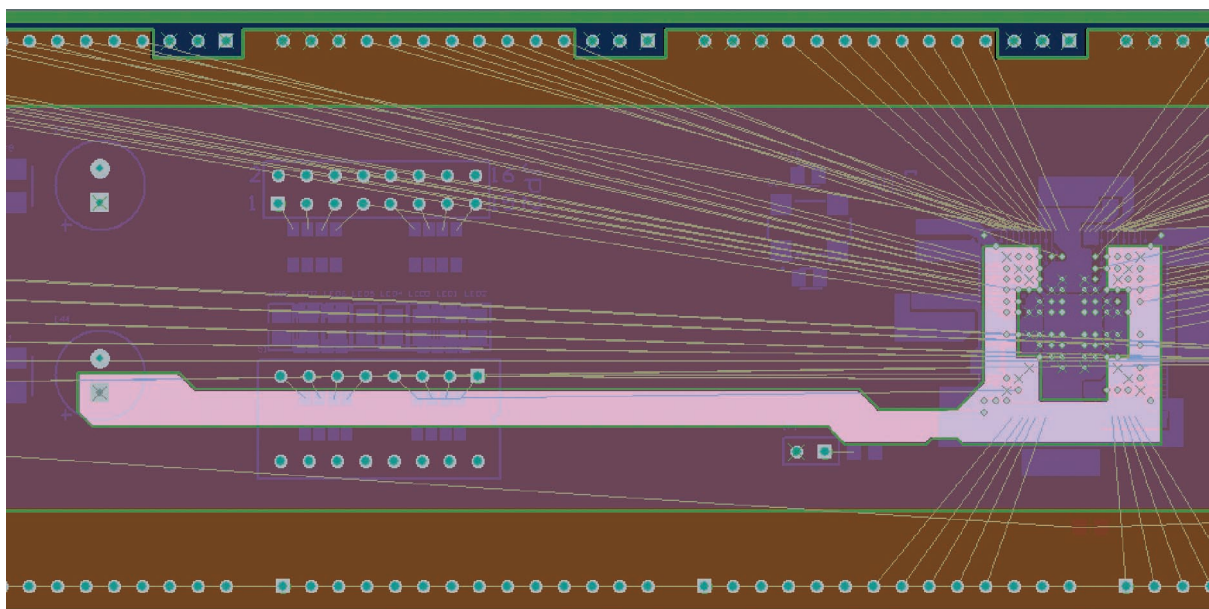



図12　内層の分離
V_{CCO}とV_{CCINT}という2種類の電源端子があり，それぞれ別の電源を供給する必要がある．電源層のV_{CCINT}端子の周りを線で囲むことにより，V_{CCO}とV_{CCINT}を分離する．この作業はすべて手作業で行う．

PCBDOC).

● 内層の分割

電源端子とグラウンド端子は内層プレーンに接続します．ここで使用するFPGAでは2種類の電源が使われており，ほかの部品でもう1種類(6V)が使われています．このため，電源層を三つに分割する必要があります．6Vの分割はオリジナルのパターンをそのまま使い，FPGA用の二つのエリア(V_{CCO}とV_{CCINT})を分割します(図12)(ここまで完了したデータはLedMatrixDisplay_5.PCBDOC)．

● 自動配線と手作業による仕上げ

自動配線により，周辺部品との間の配線を行います(図13)．自動配線を実行する前に，既に完了している引き出し配線がリルートされないように固定します．精密なコントロールを行うために多くのパラメータが用意されていますが，今回はデフォルト設定のまま配線を行います．これくらいの密度の基板なら自動配線でほぼ100%つながるはずです．しかし今回は，FPGA周辺のバイパス・コンデンサで配線が妨げられ，16本の未結線が発生しました．自動配線が終了した後，未結線部分の配線を行います．さらに，電源部分を面パターンで補強します．

自動配線はなかなか思い通りの配線をしてくれません．図14の配線結果を見ても，遠回りに配線が行われている部分や不自然な分岐が随所に見られます．全体的に配線のバランスが悪く，配線の形状も美しいとはいえません．できれば手作業で修正したいところですが，今回は省力化を目的に自動機能を利用していますので，手直しは最小限にとどめます．

また，ランドと配線との接続部分にティアドロップを加えることにより，プリント基板製造時の歩留まりを上げることができます．線幅/線間0.15mmのルールではそれほど重要ではありませんが，ビアの穴あけ時の切断事故を防ぐために，ティアドロップを付けます(ここまで完了したデータはLedMatrixDisplay_finish.PCBDOC)．

● 伝送線路シミュレーション

この基板ではFPGAの外部にタイミングがクリティカルな部分はありませんので，配線パターンの伝送特性が問題になることはなさそうです．しかし，BGAパッケージは高速で動作する回路に用いられることが多いので，配線パターンによる信号の劣化が問題になることがあります．そ

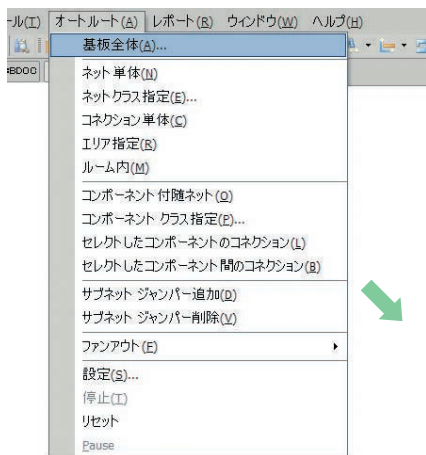



図13
自動配線の実行

自動配線機能を使って，BGAから引き出された配線と周辺部品との間を配線する．「オートルート」→「基板全体」を選択すると，「Suitus オートルーターストラテジ」というダイアログ・ボックスが表示される．この右下にある［Route All］ボタンを押すと，基板全体に対して全自動で自動配線が行われる．配線済みパターンのロックにチェックを入れると，既に終わっている引き出し部分のパターンが動かされない．

こでプリント基板設計ツールに内蔵されている，伝送線路シミュレータの動作を試してみることにします．まず実行前に以下の設定を行います．なお，サンプル・ファイルLedMatrixDisplay_finish.PCBDOCでは，この設定はすべて終わっています．

● 伝送線路モデルの割り付け

このツールで伝送線路シミュレーションを行うためには，回路図シンボルに伝送線路シミュレーション用のIBIS（I/O buffer information specification）モデルを割り付けることが必要です．プリント基板設計ツールに標準添付されているXC2S300Eの回路図シンボルには，Xilinx社より提供されたIBISモデルが割り付けられていますので，今回はこのシンボルを使って回路図を作成しました．

● 基板の構造と電気特性の設定

使用する基板の層構成と構成要素の電気特性を設定します．基材とプリプレグの厚みと比誘電率，および銅はく（配線パターン）の厚みを設定します．

● 特性インピーダンスの計算式の設定

特性インピーダンスを導き出すための計算式を設定します．基板の層構成と各構成要素の電気特性，実際に配線されたパターンの線幅をパラメータとして用い，この計算式で特性インピーダンスが計算されます．デフォルトで一般的な計算式が設定されていますので，そのまま使用します．

● スティミュラスの設定

配線の一端をドライブする信号の波形を規定します．デフォルトで1周期100nsの矩形（くけい）波に設定されています．今回はこの設定のまま使用します．

以上の設定により伝送線路シミュレータを実行できます．

● コマンドの起動と線路情報の一覧表示

「ツール」→「シグナルインテグリティ」コマンドを起動すると，シグナル・インテグリティ・ダイアログ・ボックスが表示され，配線パターンから計算された線路特性が一覧表示されます．

● コマンドの起動と線路情報の一覧表示

シグナルインテグリティ・ダイアログ・ボックスで任意のネットを選び，［Reflection］ボタンを表示することにより信号の状態が波形表示されます．配線パターンの始点にある出力端子から波形を出力し，その配線に接続されている各ノードの位置で波形を観測できます．

● そのほかの応用

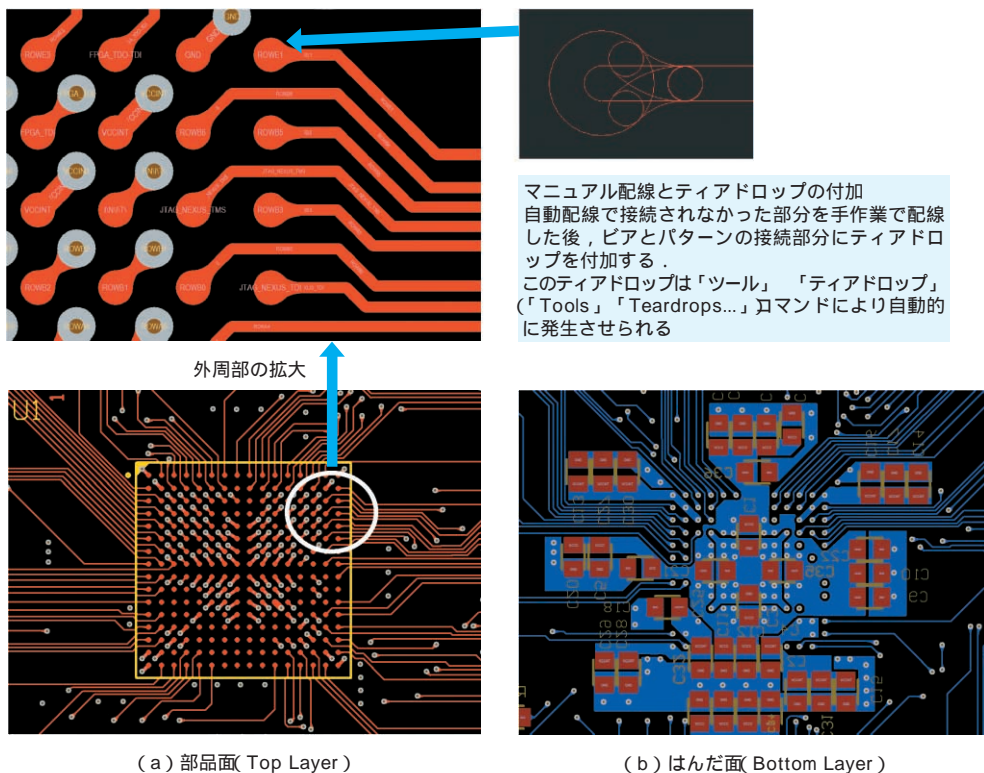
高速回路で問題になるクロストークの確認を行うこともできます．また，ターミネーション・アドバイザを利用し

マニュアル配線とティアドロップの付加
自動配線で接続されなかった部分を手作業で配線した後，ビアとパターンの接続部分にティアドロップを付加する．
このティアドロップは「ツール」→「ティアドロップ」（「Tools」→「Teardrops...」）コマンドにより自動的に発生させられる

外周部の拡大

（a）部品面（Top Layer）

（b）はんだ面（Bottom Layer）

図14 配線の完了
自動機能と手作業を併用して完了したBGA周りの配線結果．手作業での未結線処理の際，労力を軽減するために，クリアランスを許容値を0.15mmから0.1mmに変更した．

て，信号の劣化への対策を行うことができます．

3. 1156 ピンのBGAパッケージから配線を引き出す

1156 ピンの BGA パッケージから，Altium Designer 6 の自動機能を使って配線を引き出してみます．

● サンプル回路

1156 ピン BGA パッケージのデバイスとして Xilinx 社の「Spartan-3 XC3S5000」を用います．手元に適当なサンプル回路がなかったので，FPGA とコネクタだけの簡単な回路を作成しました（図 15）．8 個の 100 ピンのコネクタを FPGA 周辺に配置し，これに向かって配線を引き出します．

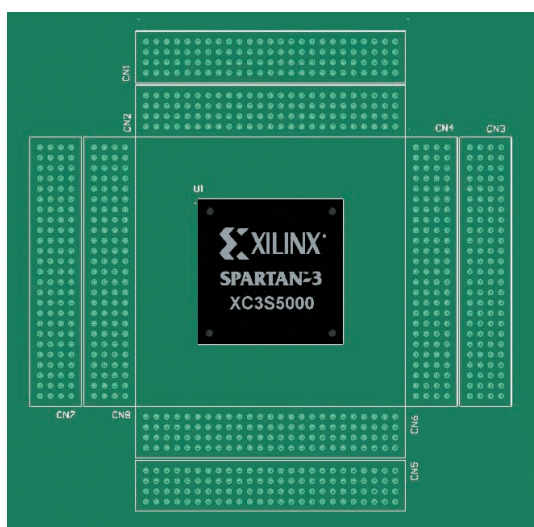



図 15　事例に使用するサンプル回路
1156 ピン BGA の Spartan-3 の接続先としてコネクタを配置しただけの単純な回路を図のように配置した．中央の BGA パッケージから周辺のコネクタに向かって配線を引き出す．

このFPGA では，電源端子がI/O バンクごとに独立しており，さらにこのほかに2 種類の電源端子があります．しかし，このサンプル回路ではこれらを分離せず一つにまとめてあります．また，バイパス・コンデンサも配置されていません．このサンプル回路は，機能させることを意図したものではなく，BGA から配線引き出しを試すために用意された架空の回路です．

● 環境とデザイン・ルールの設定

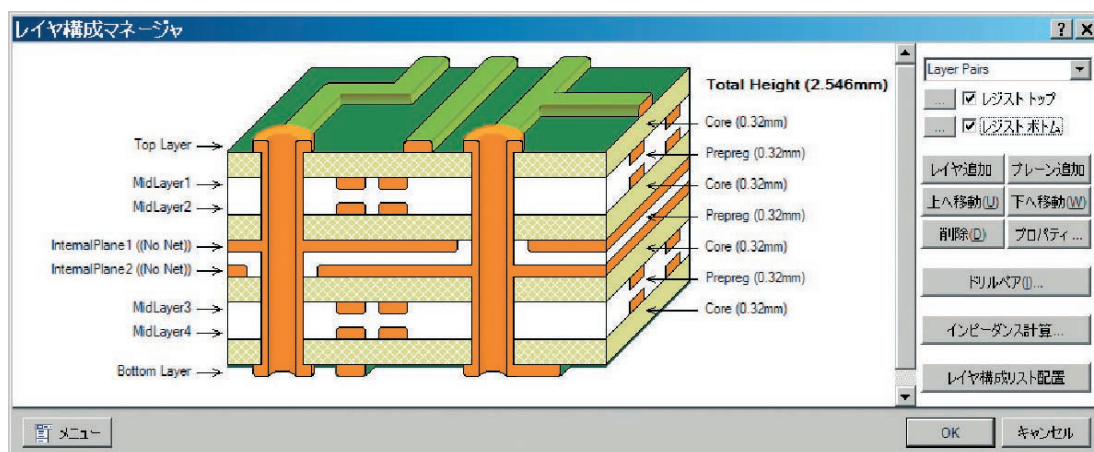
プロジェクトファイル BGA1156.PrjPCB を読み込みます．この中の BGA1156D_1.PcbDoc が 1156 ピン BGA が配置されたサンプル・ファイルです．まず，このファイルを開いてデザイン・ルールと環境の設定を行います．層数を 8 層（配線 6 層＋内層べた 2 層）に設定する以外は 256 ピン BGA の設定と全く同じです（図 16）．サンプル・ファイルは既にこの段階までの作業が終わっています．

● ピン・スワップ

周辺に配置したコネクタとの間を，交差のない短い線で配線できるようにFPGA のI/O 端子の配列を変更します（図 17）．すべてのI/O 端子の入れ替えを許可してピン・スワップ機能を実行します．ピン数が多いので処理が終わるまで数分かかります（ここまで完了したデータは BGA1156D_2.PcbDoc）．

● 自動引き出し配線

ファンアウト機能を実行して，BGA の端子から BGA パッケージの外周付近まで配線を引き出します．この処理

図 16
層構成の設定
1156 ピン BGA からの配線の引き出しには6 層の信号層が必要．これに対して2 層の電源/グラウンド層を追加した．Spartan-3 の実際のアプリケーションでは，複数の電源を使用することが多いため，これより多くの層が必要になる場合が多い．

ラッツネストに多くの交差があり，配線の入れ替えのために多くのスペースが必要になる

（a）ピン・スワップを行う前

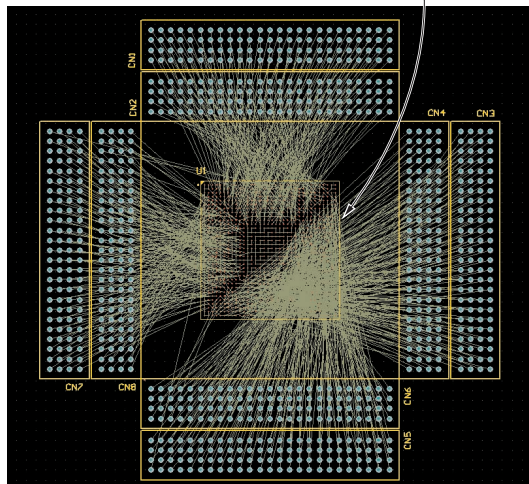
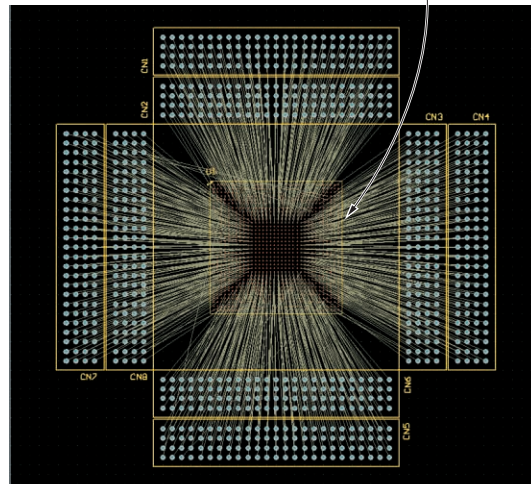
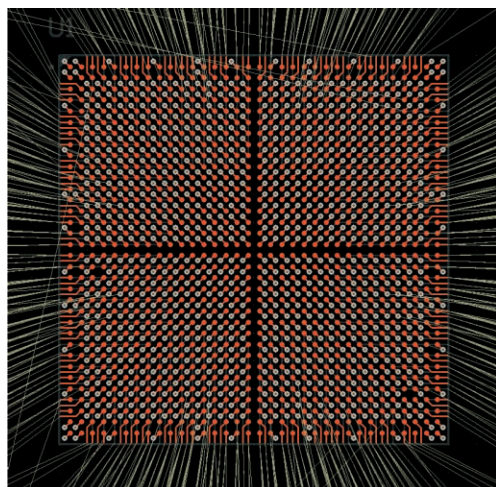
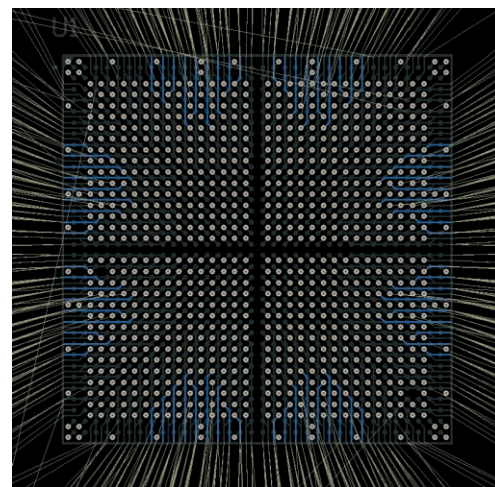
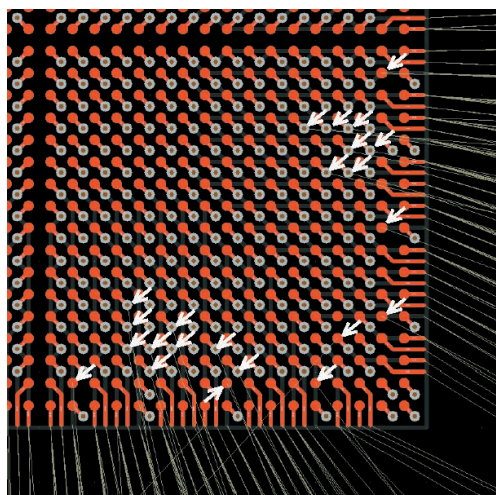
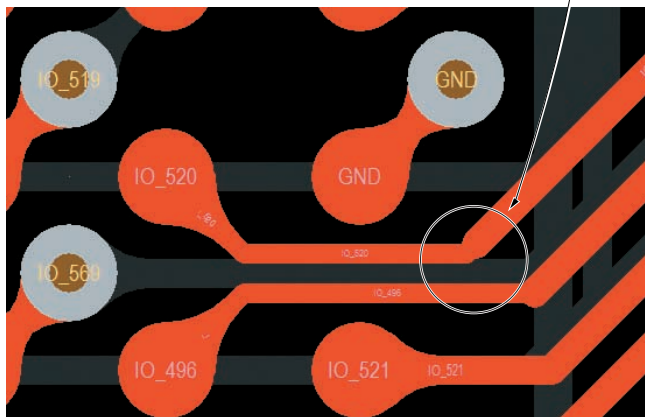
ラッツネストの交差が解消されており，ほとんど層間を移動することなしに周辺のコネクタとの接続が可能になる

（b）ピン・スワップを行った後

図17 ピン・スワップピングの結果

（a）部品面（Top Layer）

（b）はんだ面（Buttom Layer）

（c）引き出しに失敗した端子の確認

ファンアウト・コマンドで自動的に引き出した結果，引き出しに失敗した個所が発生した．画面を見ると，引き出されたパターンの先端からラッツネストが発生している個所と，BGA端子またはBGA周辺のビアから発生している個所がある．
このBGA端子またはBGA周辺のビア部分からは，配線が引き出されておらず，手作業で引き出しを行わなくてはならない

図18 引き出しの結果

（a）パッド/ビア間に2本の配線を通す

（b）手作業による配線の修正と追加が終わった状態

図19　自動配線と手作業による配線の完成

は数秒で終わり図18（a），（b）のような結果が表示されます．図18（c）では，まだラッツネストが消えておらず，引き出しが行われていない端子が残っていることが分かります．配線経路を最適化すればすべての引き出しができるはずですが，自動機能ではこれ以上は難しそうなので手作業で引き出すことにします（ここまで完了したデータはBGA1156D_3.PcbDoc）．

● 手作業による配線の引き出し

自動的に引き出せなかった個所を手作業で配線します．端子周辺のビアの間（部品面では端子間）には1本しか配線が通っていません．図19（a）のように，この部分に2本の配線を通すことにより，大きな経路変更をせずに，すべての端子からの引き出しができます．最適な経路を選べば1本でも引き出せそうですが，労力を省くために2本通すことにします．これに合わせ，線間クリアランス・ルールを0.15mmから0.1mmに変更します．

この設定変更を行った後，マニュアル操作で残っている部分の引き出しを行います．このとき配線の押しのけ機能が役立ちます．引き出しが終わった後，電源端子とグラウンド端子の周りを面パターンで補強します．結果は図19（b）の通りです．これで引き出し配線は完了です（ここまで完了したデータはBGA1156_finish.PcbDoc）．

● バイパス・コンデンサの配置と周辺部品との配線

このFPGAでは，BGAパッケージの中央付近に電源端子が集められています．さらに周辺部にも電源端子が分散しており，これらの端子の付近にバイパス・コンデンサを配置します．まず可能な限りパッケージの裏側に多くにコンデンサを置き，残りをパッケージの周辺に置きます．このときバイパス・コンデンサが後で行う配線の邪魔にならないように，適切な位置を探さなくてはなりません．この基板は256ピンで用いた4層基板よりも精密なので，ティアドロップを付ける必要があります．

実際の設計ではこのような手順でバイパス・コンデンサを配置しますが，このサンプル回路にはBGAとコネクタしかありませんので，バイパス・コンデンサがないままで自動配線をかけてみました．この結果からBGA周りの配線経路と配線密度が把握できるので，バイパス・コンデンサの個数や位置を決める際の参考になります．また一見して配線の交差が少なく，ピン・スワップが大変効果的であることが分かります（図20）．

● まとめ

実際に自動機能を使ってBGA周りの配線を行いましたが，結論として次のようなことが言えると思います．

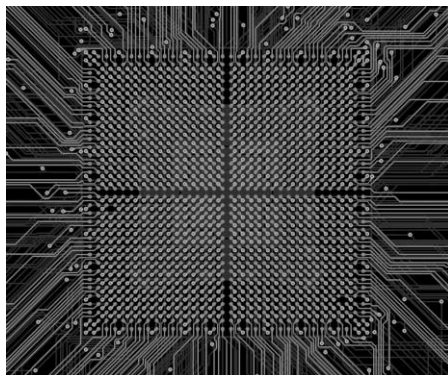
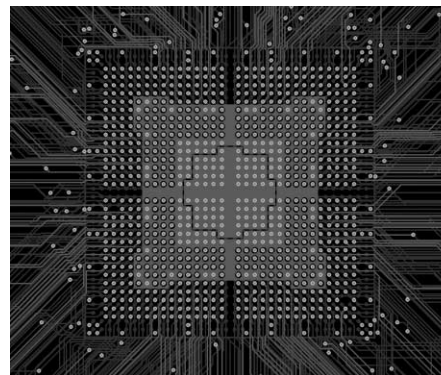
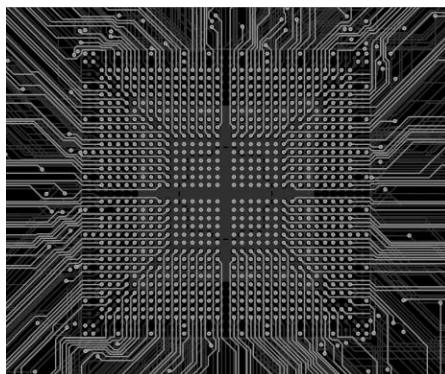
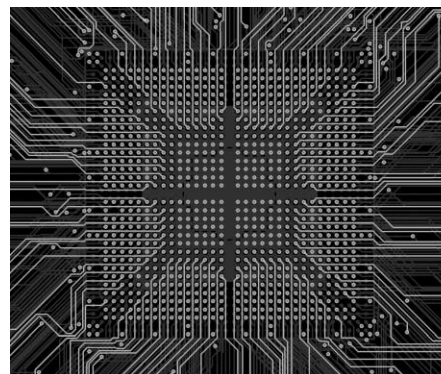
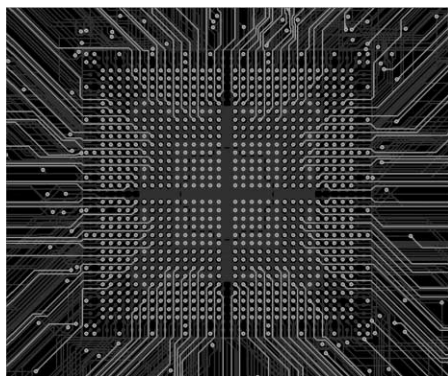
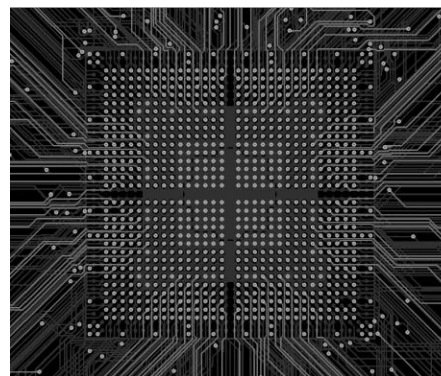
- 自動機能を使うことによって作業にかかる時間を大幅に短縮できる．

(a) 部品面(Top Layer)

(b) はんだ面(Bottom Layer)

(c) 内層1(Mid Layer 1)

(d) 内層2(Mid Layer 2)

(e) 内層3(Mid Layer 3)

(f) 内層4(Mid Layer 4)

図20 最終結果

- 自動機能の能力不足によって，意図どおりの結果が得られない部分が多発する．
- 自動機能の能力不足は手作業で補うことができる．

これらは，BGA周りの設計に限らず自動設計全般に対していえることです．

手間のかかるBGA周りの配線では，自動機能のメリットは大きいと思います．例えばここで紹介したように，自動機能によって1156ピンもあるBGAの端子からの引き出しがほんの数秒でできると，今まで専門の業者に依頼せざるを得なかった基板設計を，自分自身で行うことができるようになります．

ここで紹介した自動機能は，回路設計者がプリント基板設計にチャレンジする際の橋わたしになるのではないかと思います．なおAltium Designer 6トライアルプログラムに関するご質問を筆者がお受けいたします．機能や使用方法に関して質問があれば電子メールでinfo@anvil.co.jpまでお問い合わせください．

じょうの・ゆきお
アンビル コンサルティング(株)